

# 工程化衬底：满足当前和未来射频需求的基础

## Engineered Substrates: The Foundation to Meet Current and Future RF Requirements

作者：Eric Desbonnets, Christophe Didier Soitec 公司

随着与用户移动经验相关的多媒体应用的广泛使用，它将智能电话 IC 器件推向了庞大的半导体市场。智能电话前端模块 (FEM, 电话与外界的接口, 如图 1 所示) 是移动电话的关键功能，其设计直接影响到蜂窝网络和关键手机的性能：距离、数据传输速率、声音质量和电池寿命<sup>1</sup>。FEM 的经济价值和宽广的使用范围比得上电话处理器和内存，从而使其成为电话行业关注的焦点。

FEM 由许多功能器件构成，比如滤波器、开关、功率放大器、低噪声放大器、耦合器、双工器、天线调谐器和天线。这些功能器件所需的数量和要求随着智能电话所要支持的频段数量的增加而增加。在 FEM 中，功能器件的每一个要求有一个专用的工程衬底以达到系统的最佳成本和性能目标要求。例如，根据主流技术，滤波器是基于压电材料的：氮化铝 (AlN)、钽酸锂 (LiTaO<sub>3</sub>)、铌酸锂 (LiNbO<sub>3</sub>) 的。功率放大器是基于砷化镓 (GaAs)，开关是基于绝缘体 (HR SOI) 上的高阻值硅的，天线和 FEM 组件依赖于先进的聚合物、陶瓷和金属材料结构。

### 工程衬底工具箱

工程衬底是基于一个如图 2 所示的通

用工具箱而设计的。第一个工具称为 Smart Cut™ 技术，能使向承载基底上的一个薄 (从 10 几个 nm 到 2 μm) 而均匀的单晶层传输成为可能。第二个工具称为 Smart Stacking™ 技术，能使承载基底上的经过部分或全部处理的层进行堆叠。第三个工具称为外延附生 (epitaxy)，这一技术是用于扩充承载基底上的半导体材料的。采用这一工具箱，所设计的工程衬底一般由三个层组成。顶层用于安装电子元器件 (晶体管、无源元器件等)，中间层，即绝缘界面一般由称为隐埋氧化物 (BOX) 的氧化物构成，底层提供结构的机械支撑，常称为操作衬底。值得注意的是，这些层还会对特性有一些影响，比如散热性、反射特性以及信号衰减，所以它们需要仔细选择和设计。

### 线性度挑战

根据 Cisco 的说法<sup>2</sup>，2013 年到 2018 年间，移动数据的传输将以 61% 的复合年均增长率 (CAGR) 增长，主要是由于多媒体应用推动的，尤其是视频交换。蜂窝网络的发展方向是通过改善频谱效率，扩展可获得的频谱，提高网络单元密度来达到解决数据流量暴涨这一难题。提高容量的关键技术是载波聚合和 MIMO (多输入多输出)。为了

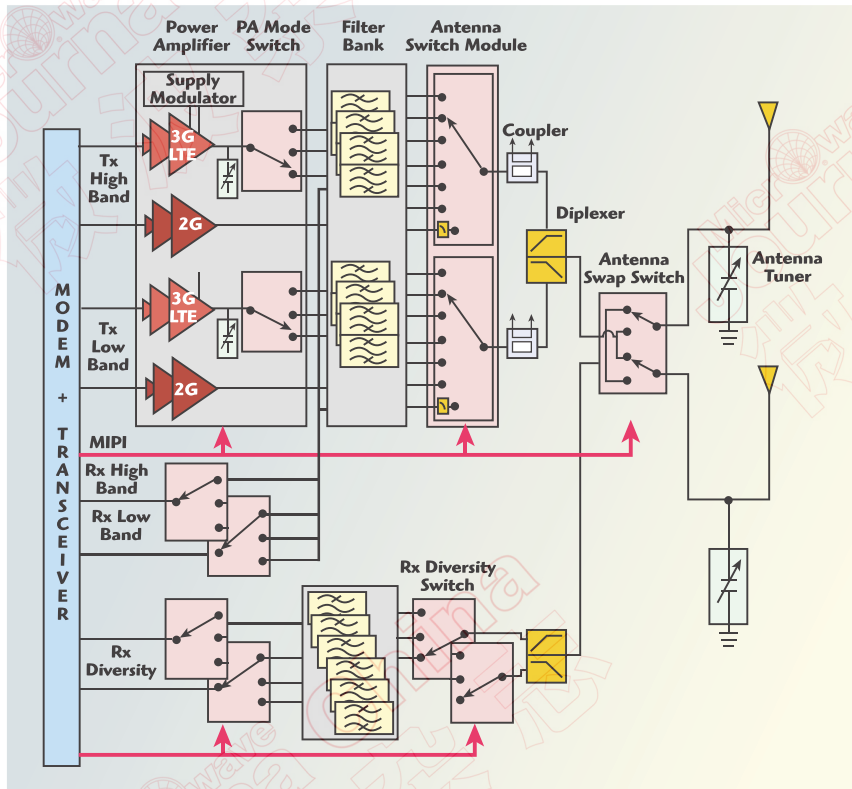


图 1. FEM 框图。

使效率更高，这些传输技术对 FEM 提出了一些额外要求，比如较高的线性度，如表 1 所示。

整个产业链，从 FEM 制造商、加工工厂、衬底供应商到研发中心都一起行动起来，以满足产品的线性度要求。工程化衬底提供商正努力能够提供更好射频性能的衬底，从而不会成为这些器件的限制因素。图 3 示出了对线性度的贡献。

### 射频SOI衬底

根据 FEM 的结构和划分，从一

表1 每代蜂窝网络对线性度的要求	
网络	线性度 (IIP3, 单位dBm)
2G	55
3G	65
4G LTE	72
4G LTE+CA	达到90

个元件到另一个元件，器件线性度要求豪华很大。根据经验法则，靠近天线的器件，或者处于较强信号路径上的器件要求有较高的线性度。射频 SOI 是一种工程化衬底，它包含顶层能与 CMOS 完全兼容的单晶硅薄膜、绝缘层上的氧化物和衬底上的高阻衬底。衬底电阻率可以是几个 kΩ-cm，当没有射频损耗的情况下，它可以考虑高达 10 个 kΩ-cm。如表 2 所示，射频 SOI 为 FEM 提供了一个总体设计平台，这相比于其它选择来说有一些好处 (CMOS 兼容、工厂提供、射频性能、集成和费用效益)。

射频 SOI 包括两种不同的衬底：标准高阻 SOI (HR SOI) 和提高型信号整体性 SOI (RFeSI™ SOI)。在射频 SOI 产品中，绝缘体 BOX 的氧化物还包含正电荷 (在 10E10 cm<sup>2</sup> 范围)。来自 Université Catholique of

Louvain (UCL) 大学的 Raskin 教授的研究表明，这些电荷会在 BOX 和高阻操作衬底之间的界面上产生寄生表面传导<sup>3, 4</sup>，一般会使其电阻率下降 10。为恢复操作衬底原有的电阻率，UCL 和 Soitec 已经发明了一种方法，在操作晶圆顶端增加一个 Trap-rich 层，它会冷却这些载体，如图 4 所示。根据不同的线性度要求，设计人员可以选择一个或其它衬底，这要根据所需应用的射频性能来定。他们甚至可以采用相同的设计，在价格和性能之间做到最好的平衡。

就体硅、HR SOI、RFeSI 以及石英衬底间的比较结果，UCL 和 Soitec 已广泛发表了大量的研究成果<sup>5, 6, 7</sup>。总之，RFeSI 衬底解决了 FEM 的一些关键性需求：较高的线性度、降低

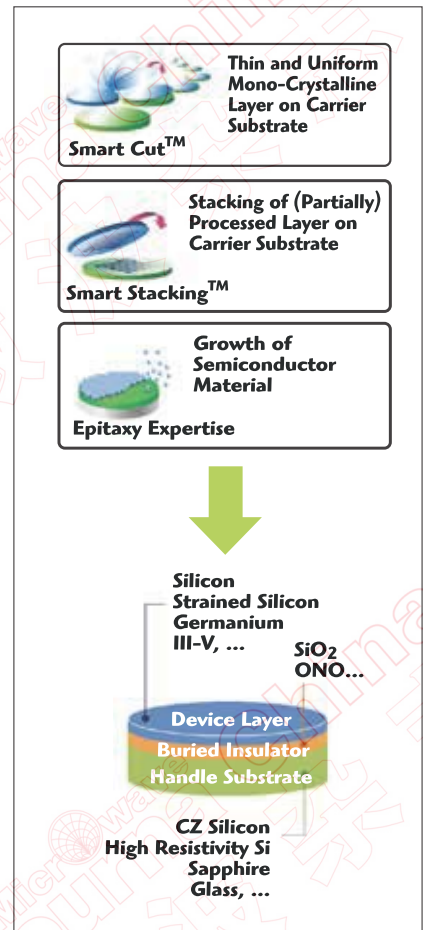


图 2. 工程化衬底工具箱。



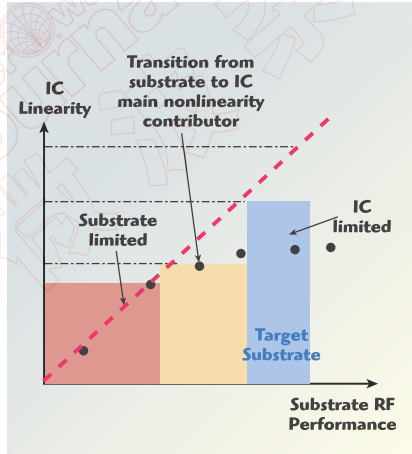


图 3. IC 线性度与衬底射频性能的比较。

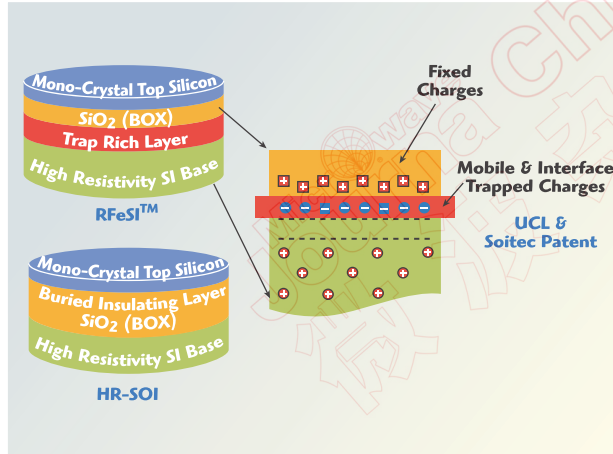


图 4. RF SOI 类型: HR-SOI 和 RFeSi™。

### 射频计量学——谐波品质因子

如图 7 所示，在衬底业界和射频设计业界间有一些认知的不同：我们谈论的是沾染物质、含氧量、掺杂物、层厚以及更多的是面向材料的概念，而射频设计人员更为关注的是射

频线性度、损耗、功耗、IC 面向设计概念。当选择一种工程化射频衬底时，如何在工程化衬底的技术特性与 IC 线性度特性间架起一座桥梁是所有制造商和 RFIC 设计人员所关心的一个问题。

材料工程和射频工程是两个不同的领域，在衬底的背面采用欧姆表电阻测量的方法来规定操作衬底的电阻率，这种方法无法保证晶圆的射频特性。多种参数会改变 RFeSi 晶圆的射频性能：trap-rich 层材料及其特性、掺杂物在层间界面上会发生移动，在智能切割铸造过程温度周期间热施主的激活，不同层的掺杂分布和厚度等。为了测量晶圆的电阻率，一种称为展阻量测分析仪 (Spreading Resistance Profile) 的技术常被采用。为量化材料线性度的水平，传统上，

制造商测量注入共面波导 (CPW) 上的一个信号所产生的谐波水平。Soitec 公司开发出了一种专用算法，它对 SPR 分析仪进行一体化设计 (通过电场深度进行加权)，与 CPW 产生的第二个

工艺品质因数	RF SOI	GaAs	SoS	Bulk	MEMS
CMOS兼容性	++	--	+	++	=
铸造能力	++	+	-	++	-
射频性能 (线性度等)	+	++	+	-	++
全FEM 集成/SoC	++	-	+	++	--
成本	+	=	-	++	-

串扰、较低的插入损耗、更好的无源器件品质因子、某种程度上，还要有更高的散热性。RF SOI 衬底已成为开关的主流衬底，在天线开头模块中<sup>8</sup>，它占据的市场份额超过了 85%。第一代 RFeSi 衬底生产出来后的几年，为满足市场对线性度的需求，第二代衬底 (称为 RFeSi90 衬底) 在

今年已经诞生。如图 5 和图 6 所示，相比于 RFeSi 衬底来说，RFeSi90 衬底的线性度具有 10 dB 的优势。这使其能够适用于新型 LTE-A 智能电话中的最为先进的电路，同时 RFeSi Gen1 还在继续供应市场。提高操作衬底的电阻率和 trap-rich 层的重新设计，将这两项措施结合起来取得了一些成果。BOX 的厚度下降到一半，提高可制造性的同时，没有影响到射频器件的性能。

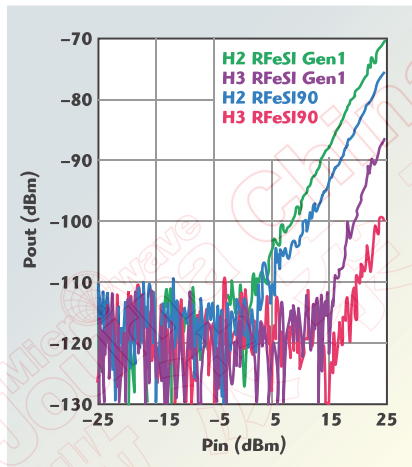


图 5. 在 RFeSi Gen1 和 RFeSi90 上测量得到第二个 (H2) 和第三个 (H3) 谐波。

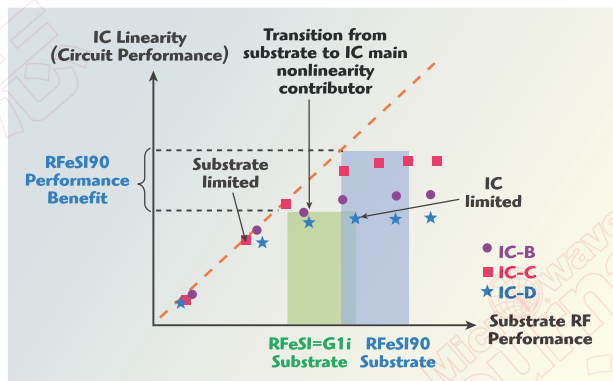


图 6. 线性度的性能优势取决于 IC 类型和 RFeSi 衬底。

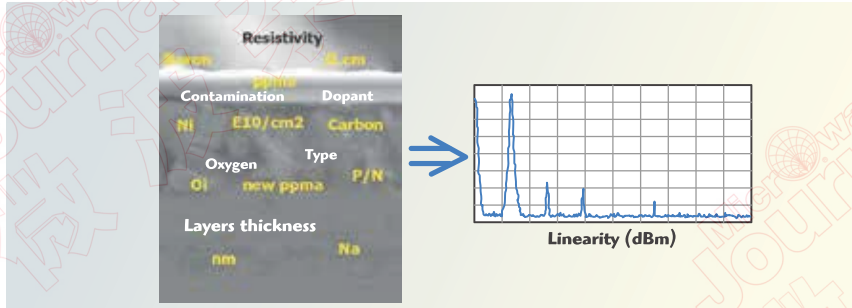


图 7. 想改进射频性能需要明白晶片参数是如何影响线性度的。

谐波进行匹配，如图 8 所示。这一参数称为谐波品质因子 (HQF)，包含在 RFeSI 衬底技术指标中。

### RF SOI 以外的开关

集成更多的 FEM 器件对业界是当前面临的一项挑战。RF SOI 是拓展这一发展方向的一种理想平台。RF SOI 已是各种不同设备（天线、天线交换、功率放大模式、分集、天线调谐器）中开关的主流技术。有源器件（比如低噪声放大器）和无源器件（比如耦合器）也在单个模块上与开关集成。采用 RF SOI 的功率放大器于 2013 年推向市场，它解决了 LTE 和 LTE-A 市场的问题，已由一些公司（比如中兴集团公司）先行接受和选择。部分或全部集成在 RF SOI 上的可调滤波器正在研究开发中。在与当前的压电滤波器（拥有数千的品质因子）竞争过程中，其困难在于如何处理典型的离散和片上电感（拥有一百或更低的品质因子）。第一步是要通过在芯片上进行部分滤波从而降低材料的滤波器代价。

一些 RF SOI 供应商已开始提供直径 300mm 的晶圆。我们期待未来的工艺节点超过 90nm，则通过将先进的数字处理与模拟 SOI 的优势结合起来，从而解决当前 FEM 技术无法解决的一些应用问题：相比于块状硅，在相同的节点具有更快的工作频

率，降低电源电压到 0.4 V，高压处理，远远超过 150℃ 的工作温度，极低灵敏度的软错误率等等。最近开关技术的发展历史表明，在大容量、竞争剧烈的消费电子市场，新的技术可能会迅速替代当前的技术，GaAs 便是例证。工程化的衬底工具箱极为强大，它使得为动态生态系统（准备采用新型衬底）而改进的大多数衬底的生产成为了可能，而且性能和成本得到了保证。■

### 参考文献

1. E. Desbionnets, S. Laurent, "RF Substrate Technologies for Mobile Applications," Soitec White Paper, 2011.
2. Cisco VNI Mobile, February 2014.
3. D. Lederer and J.P. Raskin, "Effective Resistivity of Fully-Processed SOI Substrates," Solid-State Electronics, Vol. 49, No. 3, 2005, pp. 4912496.
4. D. Lederer and J.P. Raskin, "New Substrate Passivation Method Dedicated to HR SOI Wafer Fabrication with Increased Substrate Resistivity," IEEE Electron Device Letters, Vol. 26, No. 11, 2005, pp. 8052807.
5. K. Ben Ali, C. Roda Neve, A. Gharsal, and J.P. Raskin, "RF Performance of SOI CMOS Technology on Commercial 200 mm High Resistivity Silicon Trap-Rich Wafers," IEEE Transactions on Electron Devices, Vol. 61, No. 3, March 2014., pp. 7222728.
6. C. Roda Neve and J.P. Raskin, "RF Harmonic Distortion of CPW Lines on HR-Si and Trap-Rich HR-Si Substrates," IEEE Transactions on Electron Devices, Vol. 59, 2012, pp. 9242932.
7. Yonghyun Shim, J.P. Raskin, C. Roda Neve and M. Rais-Zadeh, "RF MEMS Passives on High-Resistivity Silicon Substrates," IEEE Microwave and Wireless Components Letters, Vol. 23, No. 12, December 2013, pp. 6322634.
8. Sapphire Applications & Market: from LED to Consumer Electronic, Yole, 2014.

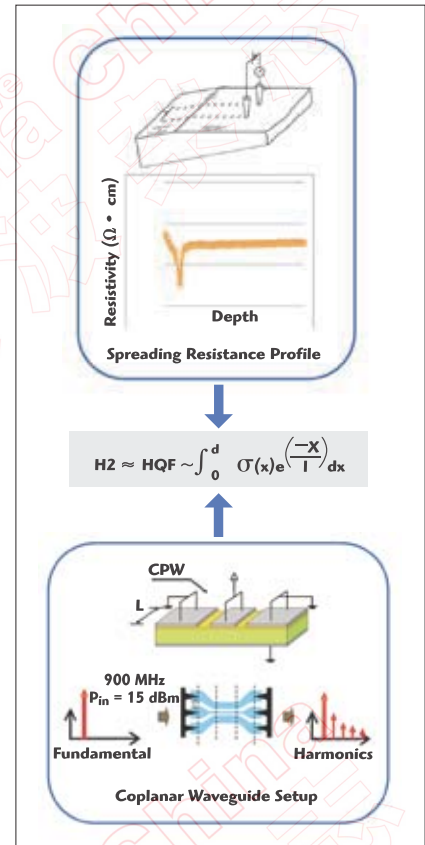


图 8. 可以对 SRP 和测得的二次谐波找出对应关系的 HQF。

## 飞思卡尔与中芯携手 打造 40nm i.MX 应用处理器

飞思卡尔半导体与中芯国际宣布，双方将采用 40nm 低功耗 (LL) 工艺技术和晶圆生产工艺合作生产 i.MX 应用处理器。中芯国际的 40nm LL 逻辑工艺可实现低功耗、高性能和成本优化。飞思卡尔其在中国的市场和研发投入包括 3 个微控制器设计中心、1 个封装和测试中心、16 个销售代表处，员工总数超过 3800 人。